

JP 363066969 A

MAR 1988

(54) HIGH-BREAKDOWN-STRENGTH POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR

(11) 63-66969 (A) (43) 25.3.1988 (19) JP

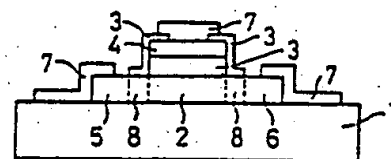
(21) Appl. No. 61-209691 (22) 8.9.1986

(71) NIPPON TELEGR & TELEPH CORP <NTT> (72) SHUNJI SEKI(1)

(51) Int. Cl. H01L29/78, H01L27/12

**PURPOSE:** To provide a high breakdown strength between a source and a drain and to simultaneously obtain high mutual conductance in a polycrystalline silicon thin film transistor by providing offset gate regions between a gate and a source, and between the gate and a drain, and setting the impurity concentrations of the offset gate regions to a specific range.

**CONSTITUTION:** Offset gate regions 8 are provided between a gate 4 and a source 5 and between the gate 4 and a drain 6 of a polycrystalline silicon thin film transistor in which a polycrystalline silicon thin film 2 is used as a channel region. The impurity concentrations of the regions 8 are set to  $8 \times 10^{16} \text{ cm}^{-3}$  or higher and smaller than the impurity concentration of the regions 5, 6. For instance, P is implanted by an ion implanting method  $1.5 \times 10^{17} \text{ cm}^{-3}$  to the offset gate region of the film 2 on a quartz substrate 1 and heat treated at  $900^\circ\text{C}$  in a nitrogen atmosphere to be activated. Thereafter, in order to form the regions 5, 6, As is added  $10^{20} \text{ cm}^{-3}$  by an ion implanting method and heat treated at  $900^\circ\text{C}$  in a nitrogen atmosphere to be activated.



257/66, 1-5

⑫ 公開特許公報(A)

昭63-66969

⑪ Int. Cl.

H 01 L 29/78  
27/12

識別記号

311

庁内整理番号

Z-8422-5F  
7514-5F

⑬ 公開 昭和63年(1988)3月25日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 高耐圧多結晶シリコン薄膜トランジスタ

⑮ 特 願 昭61-209691

⑯ 出 願 昭61(1986)9月8日

⑰ 発 明 者 関 俊 司 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑱ 発 明 者 小 暮 攻 茨城県那珂郡東海村大字白方字白根162番地 日本電信電話株式会社茨城電気通信研究所内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代 理 人 弁理士 高山 敏夫 外1名

明 細 書

1. 発明の名称

高耐圧多結晶シリコン薄膜トランジスタ

2. 特許請求の範囲

多結晶シリコン薄膜をチャネル領域とする多結晶シリコン薄膜トランジスタにおいて、ゲートとソース、およびゲートとドレインとの間にオフセットゲート領域を設け、該オフセットゲート領域における不純物濃度が、 $8 \times 10^{16} \text{cm}^{-3}$ 以上であり、かつソースおよびドレイン領域における不純物濃度より少ないことを特徴とする高耐圧多結晶シリコン薄膜トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、ソース、ドレイン間に高い絶縁耐圧を有する高耐圧多結晶シリコン薄膜トランジスタに関するものである。

(従来技術および発明が解決しようとする問題点)

絶縁基板上に形成した多結晶シリコンを能動領域とする多結晶シリコン薄膜トランジスタは、

大面積の平面形表示素子におけるスイッチング素子や、3次元構造の集積回路などの幅広い応用範囲を有することから高い関心を集めている。このような素子に多結晶シリコン薄膜トランジスタを適用するためには、高い相互コンダクタンスを得ること、ソース、ドレイン間の絶縁耐圧を高めること、しきい値電圧の低減化を図ることなどが重要である。中でも、電界発光素子を用いた表示素子のスイッチング素子として適用する場合には、100 V以上のソース、ドレイン間耐圧を有すると同時に、スイッチング素子として高効率のスイッチング動作がもたせられて要求されるため、高絶縁耐圧、高相互コンダクタンスの多結晶シリコン薄膜トランジスタが必要とされている。

第4図に従来の典型的な多結晶シリコン薄膜トランジスタの断面構造、第5図にドレイン電流特性の一例を示す。図において1は石英基板、2は多結晶シリコン薄膜、3は $\text{SiO}_2$ 薄膜、4は $\text{B}$ を $10^{20} \text{cm}^{-3}$ 添加した多結晶シリコン電極、5

は多結晶シリコン  $A_s$  を  $10^{20} \text{ cm}^{-3}$  添加したソース領域、6は多結晶シリコンに  $A_s$  を  $10^{20} \text{ cm}^{-3}$  添加したドレイン領域、7はAL電極である。第5図のドレイン電流特性は、チャネル長20  $\mu\text{m}$ 、チャネル幅100  $\mu\text{m}$  の素子に対するもので、ゲート電圧8 Vにおける相互コンダクタンスは50  $\mu\text{S}$ 、ソースドレイン間の耐圧は20 V程度である。このように、通常の構造のシリコン薄膜トランジスタでは、相互コンダクタンスの観点からは、スイッチング素子に要求される特性をほぼ満足し得るものの、ソース、ドレイン間耐圧が不足しているという問題点を有する。

ソース、ドレイン間耐圧の決定要因としては、ソース、ドレイン間耐圧のペンタスルーや、ドレイン近傍におけるアバランシェ降伏などが考えられるが、チャネル長が2  $\mu\text{m}$  以上の素子においては、これらのうち、ドレイン近傍における電界集中に起因したアバランシェ降伏がソース、ドレイン間耐圧の支配要因となつている。このようなドレイン近傍における電界集中を緩和す

ることを低下せしめているためと考えられる。特に、多結晶シリコンは、結晶粒界の界面単位に捕獲された  $2.2 \times 10^{12} \text{ cm}^{-2}$  にも及ぶ界面電荷に起因して、結晶粒界部に電荷の輸送を妨げる0.55 eV程度のポテンシャル障壁が存在するため、著しく高抵抗となり、相互コンダクタンスの顕著な低下を招く。このように、ゲートとソース、ゲートとドレインとの間にオフセットゲート領域を設けることにより、100 V以上のソース、ドレイン間耐圧を実現することができるが、相互コンダクタンスが1  $\mu\text{S}$  以下にも低下する。スイッチング素子として適用するためには、チャネル幅100  $\mu\text{m}$  あたり1  $\mu\text{S}$  以上の相互コンダクタンスが要求されることから、単純にオフセットゲート領域を設けた構造では、スイッチング素子として適用できないという問題点が生ずる。

以上述べたように、オフセットゲート領域を有しない通常構造の多結晶シリコン薄膜トランジスタは、スイッチング素子として十分な特性を有するものの、ソース、ドレイン間耐圧が低

るために、ゲートとソース、ゲートとドレインとの間にオフセットゲート領域を設ける構造が提案された。第6図にその断面構造、第7図にドレイン電流特性を示す。図において1は石英基板、2は多結晶シリコン基板、3は $\text{SiO}_2$  薄膜、4は多結晶シリコン電極、5はソース領域、6はドレイン領域、7はAL電極、8はオフセットゲート領域を示す。ゲートとソース、ゲートとドレインとの間にそれぞれ5  $\mu\text{m}$  のオフセットゲート領域8を設けることにより、チャネル長20  $\mu\text{m}$ 、チャネル幅100  $\mu\text{m}$  の素子寸法を有する素子において、100 V以上のソース、ドレイン間耐圧を得ることが可能となる。しかしながら、この場合は、相互コンダクタンスの低下が顕著であり、ゲート電圧8 Vにおいて0.5  $\mu\text{S}$  程度の相互コンダクタンスしか得ることができない。これは、オフセットゲート領域の抵抗が非常に高いために、オフセットゲート領域がチャネルに直列に付加された寄生抵抗として働き、多結晶シリコン薄膜トランジスタの相互コンダクタ

ンスを低下せしめているためと考えられる。特に、多結晶シリコンは、結晶粒界の界面単位に捕獲された  $2.2 \times 10^{12} \text{ cm}^{-2}$  にも及ぶ界面電荷に起因して、結晶粒界部に電荷の輸送を妨げる0.55 eV程度のポテンシャル障壁が存在するため、著しく高抵抗となり、相互コンダクタンスの顕著な低下を招く。このように、ゲートとソース、ゲートとドレインとの間にオフセットゲート領域を設けることにより、100 V以上のソース、ドレイン間耐圧を実現することができるが、相互コンダクタンスが1  $\mu\text{S}$  以下にも低下する。スイッチング素子として適用するためには、チャネル幅100  $\mu\text{m}$  あたり1  $\mu\text{S}$  以上の相互コンダクタンスが要求されることから、単純にオフセットゲート領域を設けた構造では、スイッチング素子として適用できないという問題点が生ずる。

という欠点を有する。一方、単なるオフセットゲート領域を設けた構造の多結晶シリコン薄膜トランジスタでは、ソース、ドレイン間耐圧を向上させることはできるものの、相互コンダクタンスの低下が著しいという欠点を有する。

(発明の目的)

本発明は上記の欠点を改善するために提案されたもので、多結晶シリコン薄膜を能動領域とする多結晶シリコン薄膜トランジスタにおいて、高いソース、ドレイン間耐圧を有すると同時に、高相互コンダクタンスの高耐圧多結晶シリコン薄膜トランジスタを提供することを目的とする。

(問題点を解決するための手段)

上記の目的を達成するため、本発明は多結晶シリコン薄膜をチャネル領域とする多結晶シリコン薄膜トランジスタにおいて、ゲートとソース、およびゲートとドレインとの間にオフセットゲート領域を設け、該オフセットゲート領域における不純物濃度が  $8 \times 10^{16} \text{ cm}^{-3}$  以上であり、かつソースおよびドレイン領域における不純物

濃度より少ないことを特徴とする高耐圧多結晶シリコン薄膜トランジスタを発明の要旨とするものである。

しかして本発明の特徴とする点は、ゲートとソース、およびゲートとドレインとの間にオフセットゲート領域を設け、該オフセットゲート領域に  $8 \times 10^{16} \text{ cm}^{-3}$  以上で、ソース、ドレインの不純物濃度より少ないN形もしくはP形不純物を添加することにある。従来の技術とは、ゲートとソース、ゲートとドレインとの間に設けたオフセットゲート領域に不純物を添加することにより、オフセットゲート領域の結晶粒界部におけるポテンシャル障壁を低減せしめ、低抵抗化を図っている点異なる。

次に本発明の実施例について説明する。なお実施例は一つの例示であつて、本発明の精神を逸脱しない範囲で種々変更あるいは改良を行なうことは言うまでもない。

第1図は本発明の高耐圧シリコン薄膜トランジスタの製作工程を示すもので、第1図Fは本発明の高耐圧シリコン薄膜トランジスタを示す。

注入法によりPを  $1.5 \times 10^{17} \text{ cm}^{-3}$  打ち込み、酸素雰囲気中、900℃の熱処理により活性化する。さらに、気相成長法により  $\text{SiO}_2$  薄膜3を  $0.3 \mu\text{m}$  形成し(第1図D)、ゲートの両側の部分を残して、該  $\text{SiO}_2$  薄膜をエッチングにより除去する。この  $\text{SiO}_2$  薄膜によつて覆われたゲートの両側の部分がオフセットゲート領域となる。この状態で、ソース、ドレイン領域5、6を形成するために、イオン注入法により、 $\text{As}$  を  $10^{20} \text{ cm}^{-3}$  添加し、酸素雰囲気中、900℃の熱処理により活性化する(第1図E)。引き続き、 $\text{Al}$  電極7を形成した後、水素雰囲気中、450℃の熱処理を施し、シリコン薄膜トランジスタを完成する(第1図F)。

第2図は、この実施例で製作した高耐圧シリコン薄膜トランジスタのドレイン電流特性を示した図であつて、チャネル長は  $20 \mu\text{m}$ 、チャネル幅は  $100 \mu\text{m}$ 、オフセットゲート長は  $5 \mu\text{m}$  である。この図から、100V以上のソース、ドレイン間耐圧が得られていると同時に、ゲート電

図において1は石英基板、2は多結晶シリコン基板、3は  $\text{SiO}_2$  薄膜、4は多結晶シリコン電極、5はソース領域、6はドレイン領域、7は  $\text{Al}$  電極、8はオフセット領域を示す。しかしてオフセットゲート領域はゲートとソース及びゲートとドレインの間に形成され、ソース、ドレインの不純物濃度より少ない  $8 \times 10^{16} \text{ cm}^{-3}$  以上のN形もしくはP形不純物が添加されている。

次に本発明のトランジスタの製作工程を説明する。

まず、石英基板1上に多結晶シリコン薄膜2を気相成長法により  $0.5 \mu\text{m}$  堆積した後、酸素雰囲気中、1100℃の条件で多結晶シリコン表面を酸化し、ゲート絶縁膜として  $0.15 \mu\text{m}$  の  $\text{SiO}_2$  薄膜3を形成する(第1図A)。引き続き、ゲート電極としてPを  $10^{20} \text{ cm}^{-3}$  添加した多結晶シリコン薄膜4を  $0.3 \mu\text{m}$  堆積し(第1図B)、フォトリソグラフィ技術を用いて、多結晶シリコン薄膜4、 $\text{SiO}_2$  薄膜3を加工する(第1図C)。この後、オフセットゲート領域にイオン

圧8Vにおいて30Aの相互コンダクタンス得られていることがわかる。これは、オフセットゲート領域を設けることにより、ドレイン近傍における電界集中を緩和することが可能となつたことに加えて、オフセットゲート領域に不純物を添加することにより、結晶粒界部のポテンシャル障壁が  $0.1 \text{ eV}$  にまで低下し、オフセットゲート領域が低抵抗化されたためである。このように、ゲートとソース、ゲートとドレインとの間にオフセットゲート領域を設け、適切な濃度の不純物を添加することにより、高ソース、ドレイン間耐圧、高相互コンダクタンス、高耐圧シリコン薄膜トランジスタを実現することができる。本実施例では、不純物としてPを用いているが、結晶粒界部のポテンシャル障壁の高さは、不純物濃度を用いて以下の関係式

$$\phi_s = \frac{q N_A^2}{4 \epsilon_s \epsilon_0 N_D}$$

$\phi_s$  : ポテンシャル障壁高さ、

$q$  : 単位電荷

$N_s$  : 結晶粒界面の界面電荷密度

$\epsilon_{si}$  : Si の誘電率

$N_D$  : 不純物濃度

により表わされるため、A<sub>1</sub>、Bなど他のN形、もしくはP形不純物を用いても障壁高さの低減化を図ることができ、本実施例と同様の特性が得られる。

第3図は、相互コンダクタンスのゲート電圧依存性が、オフセットゲート領域における不純物濃度によつて変化する状態を示したものである。オフセットゲート領域における不純物濃度を  $8 \times 10^{16} \text{ cm}^{-3}$  以上とすることにより、チャネル幅 100  $\mu\text{m}$  あたり 1  $\mu\text{S}$  以上の相互コンダクタンスが得られることがわかる。

(発明の効果)

以上説明したように本発明によれば、ゲートとソース、ゲートとドレインとの間にオフセット領域を設け、該オフセット領域に  $8 \times 10^{16} \text{ cm}^{-3}$  以上でソース・ドレインの不純物濃度より少ない不純物を添加することにより、ソース、ド

レイン間の耐圧が高く、相互コンダクタンスの大きい高耐圧シリコン薄膜トランジスタを得ることができるという効果を有する。

#### 4. 図面の簡単な説明

第1図は、本発明の高耐圧シリコン薄膜トランジスタの製作工程を説明した図、第2図は、オフセットゲート領域に  $1.5 \times 10^{17} \text{ cm}^{-3}$  のN形不純物を添加したシリコン薄膜トランジスタのドレイン電流特性を説明した図、第3図は、相互コンダクタンスのゲート電圧依存性がオフセットゲート領域の不純物濃度に応じて変化する様子を説明した図、第4図は通常のシリコン薄膜トランジスタの断面構造を示した図、第5図は、通常のシリコン薄膜トランジスタのドレイン電流特性を説明した図、第6図は、オフセットゲート領域を設けたシリコン薄膜トランジスタの断面構造を示した図、第7図は、オフセットゲート領域を設けたシリコン薄膜トランジスタのドレイン電流特性を説明した図を示す。

1…石英基板、2…多結晶シリコン薄膜、

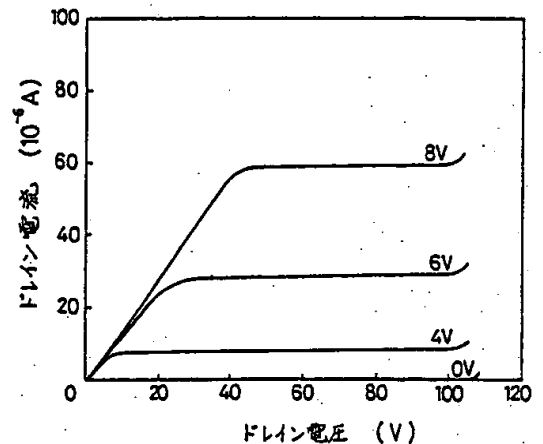
3… $\text{SiO}_2$  薄膜、4…多結晶シリコン電極、5…ソース領域、6…ドレイン領域、7…AL電極、8…オフセットゲート領域。

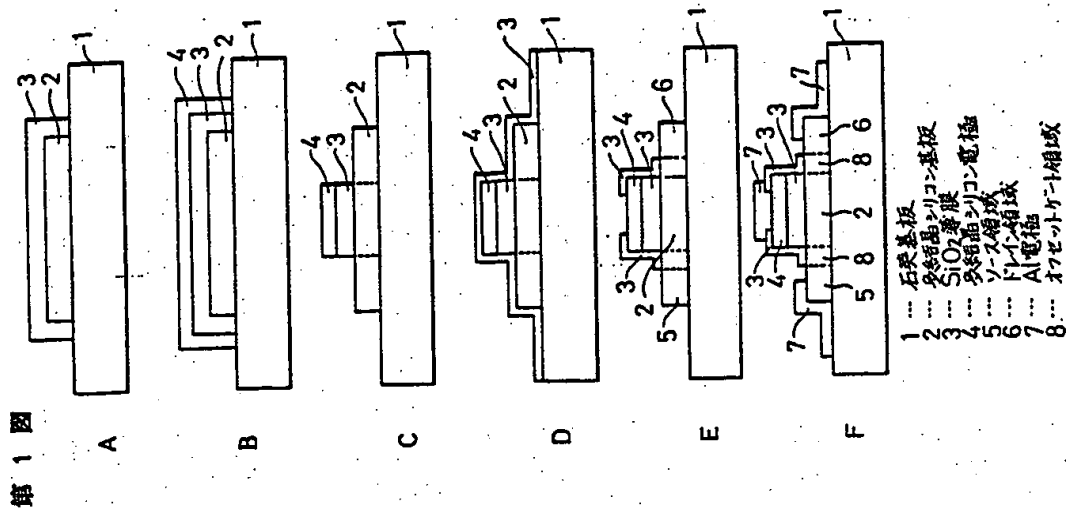
出願人 日本電信電話株式会社

代理人 弁理士 高山 敏

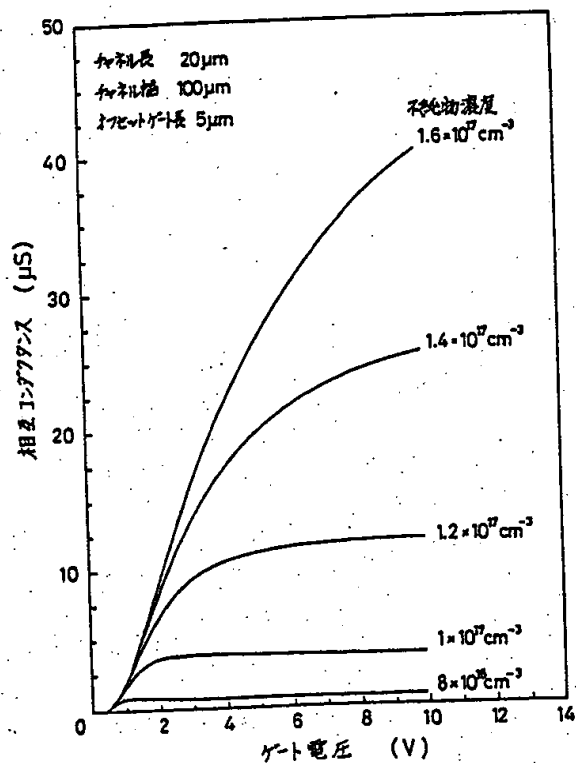
(ほか1名)

第2図

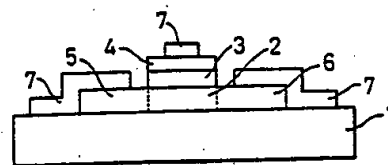




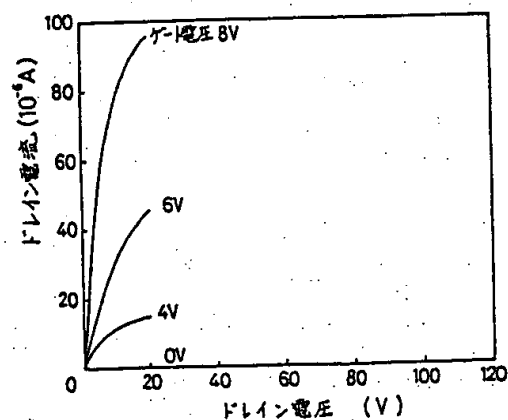
第3図



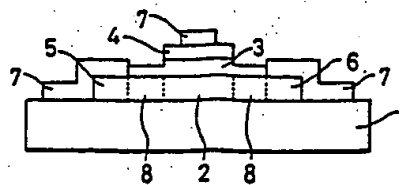
第4図



第5図



第 6 図



第 7 図

